☞대 한민국 톡 허 청(KR) ☞공 개 특 허 공 보(A)

①Int. Cl.* H 01 L 31/256 제 1383 호

❹공개일자 1994. 11. 19

①공개번호 94-25052

❷출원일자 1994. 4. 27

②출원번호 94- 9055

⊗우선권주장 ❷1993.

심사청구 : 있음

@93 – 124890 4. 28 **@**1993. 93 - 1293135. 31 7. 28 31 1993. 93-207274 1993. 9. 21 9. 21 93-234684 1993. 93 - 2346851993. 10. 93 - 2531711993. 8 94 - 008726 28 1994. 1. 94 - 00872728 1994.

☞ 발 명 자 나까무라 슈이지

일본국 도쿠시마겡 아난시 가미나까쵸 오까 491만치 100 니치아 가가꾸 고오교오 가

☎일본(JP)

부시기가이샤 내

야마다 다까오

일본국 도쿠시마경 아난시 가미나까쵸 오까 491반치 100 니치아 가가꾸 고오교오 가

부시기가이샤 내

세노오 마사유끼

일본국 도쿠시마겡 아닌시 가미나까쵸 오까 491반차 100 나치아 가가꾸 고오교오 가

부시기가이샤 내

야마다 오토가즈

일본국 도쿠시마쟁 아닌시 가미나까쵸 오까 491반치 100 니치아 가가꾸 고오교오 가

부시기가이샤 내

반도오 간지

일본국 도쿠시마겡 아난시 가미나까쵸 오까 491반치 100 니치아 카가꾸 고오교오 가

부시기가이사 내

❶ 출 원 인 니치아 가가꾸 고오교오 가부시기가이샤 대표자 오가와 에이지

일본국 도쿠시마경 아난시 가미나까쵸 오까 491반치 100

② 대리인 변리사 김 병 진

(전 5 면)

용 음(ohmic) 전국을 가지는 질화칼륨계 Ⅲ-V족 화합물 반도체 디바이스 및 그 제조방법

8 요 약

질화칼룸계 Ⅲ-V족 화합물 반도세 디바이스는, 기관위에 형성된 질화칼룸계 Ⅲ-V족 화합물 반도세층, 및 상기 반도채충에 접하여 형성된 옵션극을 가진다. 옵전극은 금속재료를 포합하며, 어닐링처리되어 있다.

특허청구의 범위

- 1. 게1 및 제 2 주면(主面)을 가지는 기판, 상기 기판의 제 1 주면위에 형성되며, n형 질화잘통계 III V 족 화합물 반도체충 및 p형 질화칼룸계 Ⅲ-Ⅴ족 화합물 반도체충을 포함하는 반도체 적충구조, 상기 n형 반도세층에 접하여 형성된 제1전국, 및 상기 p형 반도세층에 접하여 형성되며, 금속재료를 포함하는 투광 성의 제 2 전극을 구비한 질화칼롭게 III-V족 화합물 반도체 디바이스.
- 2. 제 1 항에 있어서, 상기 디바이스에서 발생되는 광이 상기 기관의 제 1 주면측에서 관찰되는 질화칼륨 계 III-V족 화합물 반도체 디바이스.
- 3. 제 1 항에 있어서, 상기 제 2 건국이 금, 니켈, 백금, 일루미늄, 주석, 인돔, 크롬 및 티턴으로 된 군 중에서 선택되는 적어도 1종의 금속을 포함하는 금속재료로 형성되는 있는 질화卫름계 III-V즉 화합을 반 도체 디바이스.
- 4. 제 1 항에 있어서, 상기 제 2 전국이 크롬, 니켈, 금, 티탄 및 백금으로 된 군 중에서 선택되는 적어도 2종의 금속을 포합하는 금속재료로 형성되어 있는 질화칼룸계 III-V족 화합물 반도체 디바이스.
- 5. 제 1 항에 있어서, 상기 제 2 전국이 금 및 니켙로 된 금속재료로 형성되어 있는 질화칼등계 HI-V족 화합물 반도체 디바이스.
- 6. 세 5 항에 있어서, 상기 세 2 전국이 상기 p형 반도세층과 접하여 형성된 니퀱의 층과 그 위에 형성된 금의 층으로 된 질화찰름계 III-V족 화합물 반도체 디바이스.
- 7. 제 1 항에 있어서, 상기 제 2 전국이 $0.001 \mu m \sim 1 \mu m$ 의 두께물 가지는 질화칼륨계 III V즉 화합물 반 도채 디바이스.
- 8. 제 1 항에 있어서, 삼기 제 2 전국이 400℃ 이상에서의 어닐링처리되는 질화칼륨계 III-V족 화합물 반 도체 디바이스.
- 9. 세 1 항에 있어서, 상기 디바이스를 상기 기관의 제 2 주면으로 지지하는 리드프레임을 더 포함하는 질 화칼륨계 III-V족 화합물 반도체 디바이스.
- 10. 제 1 함에 있어서, 상기 제 2 전극과 전기적으로 접속된, 본딩 완이어와의 본딩을 위한 본딩패드를 더 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.
- 11. 제10함에 있어서, 상기 본딩패드가 금 단독 또는 금을 포함하여 알루미늄 또는 크롬을 포함하지 않는 적어도 2종이상의 금속으로 된 금속재료로 병성되어 있는 질화칼륨계 Ⅲ-V족 화합물 반도체 디바이스.
- 12. 제10항에 있어서, 상기 본딩패드가 금과, 티탄, 니世, 인돔 및 벡금으로 된 적어도 1종의 금속을 포 함하는 금숙재료로 형성되어 있는 질화칼륨계 III-V족 화합물 반도체 디바이스.
- 13. 제10함에 있어서, 상기 본딩패드가 상기 제2전국과 동일재료로 형성되어 있는 질파칼롭게 III-V족 화합물 반도세 디바이스.
- 14. 제10항에 있어서, 상기 본딩패드가 상기 제2전국과 직접 접하는 니世의 총과 그 위에 형성된 금의 승으로 되는 질화찰통계 III-V족 화합물 반도체 디바이스.

- 15. 제10항에 있어서, 상기 제 2 전국이 상기 p형 반도체충의 표면을 부분적으로 노출시키는 절결부동 가지며, 상기 철결부에 상기 본딩패드가 충진되어 있는 질화칼롭지 III-V쪽 화합물 반도체 디바이스.
- 16. 제15항에 있어서, 상기 본딩패드가 상기 제2건국보다도 강하제 상기 p형 반도세층과 검착하는 금속 재료로 형성되어 있는 결화활품계 III-V족 화합물 반도체 디바이스.
- 17. 제16함에 있어서, 상기 본딩패드가 알루미늄 단독 또는 크롬, 알루미늄 및 금으로 된 군 중에서 선택되는 적어도 2종의 금속으로 된 금숙재료모 형성되어 있는 질화칼륨계 ill-V족 화합물 반도체 디마이스.
- 18. 제10항에 있어서, 상기 본딩패드가 상기 제1건국으로 부터 가장 언 위치에 배치되어 있는 질화칼륨 제 III-V족 화합물 반도체 디바이스.
- 19. 섀 1 항에 있어서, 제 2 전국을 덮는, 투명하고 절연성이 있는 제료로 형성된 보호막을 더 가지는 질화 칼륨계 Ⅲ-V족 화합물 반도체 디바이스.
- 20. 제19항에 있어서, 상기 보호막이 산화규소, 산화알루미늄, 산화티탄 또는 질화규소로 형성되어 있는 질화물통제 III V족 화합물 반도체 디바이스.
- 21. 제19항에 있어서, 상기 보호막이 제1전국의 표면도 덮고 있는 질화칼륨체 III-V즉 화합물 반도해 디바이스.
- 22. 제10항에 있어서, 상기 제2전국과 상기 본딩패드를 덮는 투명하고 절연성이 있는 재료로 형성된 보호막을 가지는 질확활품계 III-V즉 화합물 반도세 디바이스.
- 23. 제22항에 있어서, 상기 보호막이 산화규소, 산화일루미늄, 산화티란 또는 잘화규소로 형성되어 있는 질화칼륨제 III-V족 화합물 반도체 디바이스.
- 24. 제22항에 있어서, 상기 보호막이 제1전국의 표면도 덮고 있는 질화칼륨계 III-V즉 화합물 반도해 디바이스.
- 25. 제1 및 제2 주면을 가지는 기관, 및 상기 기관의 주면위에 형성되며, n형 질화간름계 III-V족 화합 문 반도체충 및 p형 질화간름계 III-V족 화합을 만도체충을 모합하는 반도체 적충구조를 포함하는 질화길름계 III-V족 화합을 반도체 발광디바이스 구조를 제공하며, 상기 p형 반도체충에 접하여 금속재료의 충을 형성하며, 상기 금속재료충을 어닐링처리하여 상기 금속재료의 충을 투광성으로 함과 동시에 p형 반도 체충과의 음접촉을 달성하고, 이것에 의하여 상기 제2 반도체충과 직접 접속하는 투명한 음전국을 제공하는 것을 포함하는 질화칼륨계 III-V족 화합물 반도체 디바이스.
- 26. 제25항에 있어서, 상기 어닐림을 400℃ 이상의 온도에서 행하는 질화길들계 III-V족 화합물 반도체 디바이스의 제조방법.

- 27. 제26항에 있어서, 상기 움건국을 구성하는 상기 금속재료가 금, 니켈, 백급, 알루미늄, 주석, 인등, 크롬 및 리탄으로 된 군 중에서 선택되는 적어도 1종의 금속을 포함하는 결화칼륨계 III-V족 화합물 반도 세 디바이스이 제조방법.
- 28. 제1 및 제2주면을 가지는 기관, 상기 기관의 주면위에 형성되며, n형 질화칼륨계 III-V즉 화합물반도체충 및 p형 질화칼륨계 III-V즉 화합물 반도체충을 포함하는 반도체 적충구조, 상기 n형 반도체충에 접하여 형성되며, 티탄 및 알루미늄 또는 금속을 포함하는 제1전국, 및 상기 p형 반도체충에 접하여 형성된 제2전국을 구비한 질화칼륨계 III-V즉 화합물 반도체 디바이스.
- 29. 제28항에 있어서, 제1전국이 상기 n형 반도세층에 직접 접하여 형성된 티탄의 총 및 알루미늄의 총 또는 금의 층으로 된 질화칼륨계 III-V족 화합물 반도세 디바이스.
 - 30. 제28항에 있어서, 상기 제1건국이 상기 n형 반도세층에 직접 접하여 형성된 티탄의 충. 사기 티탄

의 충위에 형성된 알루미늄의 충 및 상기 일루미늄층 위에 형성된 급의 충으로 된 질화칼륨계 III-V축 화합물 반도체 디바이스.

31. 제28항에 있어서, 상기 제1건국이 티탄 및 알루미늄으로 된 금속제료로 형성된 제1막 및 상기 제1막위에 형성되며, 알루미늄보다도 높은 용점을 가지는 고용점금속제료로 형성된 제2막을 모합하는 질화칼륨제 MI-V족 화합물 반도체 디바이스.

32. 제31항에 있어서, 상기 제 2 막이 티탄을 포함하는 질화칼륨제 MI-V족 화합물 반도체 디바이스.

33. 제31항에 있어서, 상기 2막이 금과 티탄 및/또는 니켈로 되는 결화작품계 III-V족 화합물 반도계 더 바이스

34. 계28항에 있어서, 상기 제 1 건국이 400℃ 이상에서의 어닐링처리되는 질화활품계 III--V족 화합물 반 도체 디바이스.

35. 제28항에 있어서, 상기 디바이스를 상기 기판의 상기 제2주면으로 지지하는 리드프레임을 더 포함하는 집화장롭게 III-V족 화합물 만도체 디바이스.

36. 제28항에 있어서, 상기 제 2 전국과 전기적으로 접속된, 본딩 와이어와의 본딩을 위한 본딩팩드를 더포함하는 질화칼롭게 III - V족 화합물 반도체 디바이스.

37. 제36항에 있어서, 상기 본딩패드가 상기 제 1 전국으로 부터 가장 먼 위치에 배치되어 있는 질화활품계 III-V즉 화합물 반도체 디바이스.

38. 제28항에 있어서, 상기 제2전국이 니쁜 및 금을 포함하는 금속재료로 형성되어 있는 질화칼륨계 III-V족 화합물 반도세 디바이스.

39. 제1 및 제2주면을 가지는 기판 및 상기 기판의 제1주면위에 형성되며, n형 결화칼롭게 III-V족 확합물 반도체증 및 p형 질화칼롭게 III-V족 확합물 반도체증을 포함하는 반도체 격충구조를 포함하는 질화칼롭게 III-V족 확합물 반도체증에 접하여 타단 및 알루미늄 또는 금을 포함하는 금속재료의 충을 형성하며, 상기 급속재료충을 어닐링처리하여 상기 n형 반도체충과의 용접속을 달성하고, 이것에 의하여 상기 n형 반도체충과 접하는 용건국의 제공하는 것을 포함하는 질화칼롭게 III-V주 확합물 반도체 디바이스의 제조방법.

40. 제39항에 있어서, 상기 어닐링을 400℃ 이상의 온도에서 행하는 질화칼륨계 III-V축 화합물 반도체 디바이스의 채조방법.

41. 제40항에 있어서, 상기 음전국을 구성하는 상기 금속채료가 상기 n형 반도세층위에 격접 접하여 형성된 티타의 층 및 그 위에 형성된 알루미늄의 층 및/또는 금의 총을 포함하는 질화칼룸계 III-V족 확합물반도체 디바이스의 제조방법.

42. 제1 및 제2주면을 가지는 기판, 상기 기판의 상기 제1주면위에 형성화며, n형 질화칼롬계 III-V 즉 화합물 반도체층 및 p형 질화칼롬계 III-V즉 화합물 반도체층을 포함하는 반도체 적충구조, 상기 n형 반도체층에 접하여 형성되며, 티단 및 일루미늄 또는 금을 포함하는 제1용전국, 및 상기 p형 반도체층에 저하여 형성되며, 금속재료를 포함하는 무광성의 제2용전국을 구비한 질화칼륨계 III-V즉 화합물 반도체 디바이스.

43. 세42함에 있어서, 상기 제 1 음전국이 상기 n형 반도체충에 직접 접하여 형성된 리탄의 충, 상기 터탄충 위에 형성된 일루미늄의 충 및 상기 일루미늄충 위에 형성된 금의 충으로 된 질화칼륨계 III - V축 화합물 반도세 디바이스

44. 제43항에 있어서, 제 2 전국이 상기 p형 반도체충에 직접 접하여 형성된 니켙의 충 및 상기 니世충

위에 형성된 금의 충으로 된 질화칼롭게 HI-V족 화합물 반도체 디바이스.

- 45. 계44함에 있어서, 상기 제 2 전극과 건기적으로 접속된, 본딩 와이어와의 본딩을 위한 본딩패드를 더 포함하는 질화칼률계 [III-V족 화합물 반도체 디바이스.
- 46. 제45항에 있어서, 상기 기판의 제 1 주면이 사각혐이고, 상기 본딩패드가 상기 제 2 전국의 제 1 모서리부에 배치되며, 상기 제 1 전국이 상기 제 1 모서리부를 포함하는 상기 사각형의 대각선상의 상기 n형 반도 채충의 모서리부에 배치되어 있는 질파갈통제 HI-V족 화합을 반도체 디바이스.
- 47. 제46함에 있어서, 상기 본딩래드가 상기 제2전국과 취점 접하여 형성된 니켈의 층 및 상기 니켈의 총위에 형성된 금의 층으로 되는 질화칼룸계 HI-V족 화합물 반도체 디바이스.
- 48. 제26항에 있어서, 상기 제2전국이 상기 p형 반도체충의 표면의 일부를 노출시키는 절결부를 가지며, 상기 본딩패드가 상기 절결부내에 충진되며, 상기 본딩패드가 상기 p형 반도체충과 직접 접하는 크롬 또는 알무미늄을 포함하는 제1층과, 상기 제2층위에 형성된 금으로 된 총을 구비하는 질화칼륨계 III-V 즉 화합물 반도체 디바이스.
- 49. 계48항에 있어서, 상기 디바이스의 실질적으로 전면을 덮는 투명하고 걸연성이 있는 보호막을 더 가지는 집화칼륨계 III-V족 화합물 반도체 디바이스.
- 50. 제49항에 있어서, 상기 디바이스들 상기 기판의 상기 제2주면으로 지지하는 리드프레임을 더 가지는 질화칼통계 III-V족 화합물 반도체 디바이스.
- 51. 제50항에 있어서, 상기 디바이스에서 발생되는 광이 상기 기판의 상기 제1주면측에서 관찰되는 질화 칼륨계 III~V족 화합물 반도채 디바이스.
- 52. 기관위에 형성된 질화칼륨계 III-V록 화합문 반도체충 및 상기 반도체충에 접하여 형성되며, 상기 반도체충과의 움접촉을 달성하도록 어닐링처리된 금속재료를 포함하는 음전국을 구비한 질화칼륨계 III-V 족 화합물 반도체 디바이스.
- 53. 제52항에 있어서, 상기 반도체충이 n형이며, 상기 금속재료가 티틴 및 일루미늄 또는 금을 포함하는 결화칼륨계 III-V족 화합물 반도체 디바이스.
- 54. 제52항에 있어서, 상기 반도체충이 p형이며 상기 금속재료가 니킬 및 금을 모함하는 질화칼큼계 III-V족 화합물 반도세 디바이스.
- 55. 제54항에 있어서, 상기 금속재료가 상기 반도체충에 직접 접하여 형성된 니퀱의 충 및 상기 니켙충위에 형성된 금의 충을 포함하는 질화칼륨계 BI-V족 화합물 반도체 디바이스.
- 56. 제52항에 있어서, 상기 반도체충 p형이며, 상기 건국이 투명한 질화찰품계 III-V축 화합물 반도체 디바이스.
- 57. 제56항에 있어서, 상기 금속재료가 금, 니켈, 백금, 알루미늄, 주석, 인돔, 크롬 및 티탄으로 된 군 중에서 선택된 적어도 1중의 금속을 포함하는 질화칼돔계 III-V족 화합물 반도체 디바이스.
 - ☀ 찰고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제1도는 본 발명의 제1태양에 따른 발광디바이스를 리드프레임에 부착한 상태에서 나타내는 개략 단면 도.

